

10 GHz 扩频时钟发生器的设计

胡帅帅,周玉梅,张 锋

(中国科学院 微电子研究所, 北京 100029)

摘 要: 扩频时钟是一种减少数字芯片电磁干扰的有效方法. 它采用预设好的调制波形,在一定频率范围内对时钟信号进行频率调制. 通过小数分频频率综合器和 3 阶 $\Delta\Sigma$ 调制器实现了一款 10 GHz 扩频时钟发生器. 通过改变多模分频器的分频比来实现扩频的功能. 此扩频时钟发生器包括一个传统的锁相环,一个数字 3 阶 MASH 1-1-1 $\Delta\Sigma$ 调制器和一个波形产生器. 扩频时钟发生器产生下扩频 $5\,000\times10^{-6}$ 的中心频率为 10 GHz 的信号,调制波形为三角波,调制频率为 30.525 kHz. 本设计已经采用 55 nm CMOS 工艺流片,在 1.2 V 电源电压下的总功耗为 20 mW. 峰值降落为 29.3 dB,1 MHz 频偏处的相位噪声为 -110 dBc/Hz.

关键词: 扩频时钟发生器;锁相环;电磁干扰; $\Delta\Sigma$ 调制器

中图分类号: TN402

文献标识码: A

文章编号: 1000-7180(2016)10-0063-05

Design of a 10 GHz Spread Spectrum Clock Generator

HU Shuai-shuai, ZHOU Yu-mei, ZHANG Feng

(Institute of Microelectronics of Chinese Academy of Sciences, Beijing 100029, China)

Abstract: Spread spectrum clocking is an effective solution to reduce the electromagnetic interference produced by digital chips, using a clock signal with a frequency that is intentionally swept (frequency modulated) within a certain frequency range, with a predefined modulation profile. A 10 GHz spread spectrum clock generator (SSCG) is realized by a fractional-N frequency synthesizer with a third-order delta-sigma modulator. We accomplish the spread spectrum function by changing the divider ratio. The SSCG integrates a conventional PLL, a digital 3rd order MASH 1-1-1 delta-sigma modulator and an address generator. The SSCG generates clocks at 10 GHz, a 5000×10^{-6} down spread with a triangular waveform frequency modulation of 30.525 kHz. This SSCG has been fabricated in a 55nm CMOS process, and it consumes 20 mW from a supply of 1.2 V. The EMI reduction is 29.3 dB and the simulated phase noise is -110 dBc/Hz at 1 MHz offset.

Key words: spread-spectrum clock generator (SSCG); phase-locked loop (PLL); electromagnetic interference (EMI); Delta-Sigma Modulator

1 引言

在当今的高速数据传输系统中,串行链路结构已经成为主流. 随着接口数据率的不断提高,内部的时钟频率也达到了几个吉赫兹,这将使电磁干扰(Electromagnetic Interference, EMI)变得十分严重^[1]. 许多消费电子产品的标准,都严格规定了电磁辐射的水平,现在有多种技术可以降低电磁干扰. 常见的几种技术包括

屏蔽、脉冲整形、摆率控制和扩频时钟^[2]. 其中,扩频时钟(Spread-spectrum Clocking, SSC)是最适用于高速系统的性能最好、成本最低的技术.

类似于频率调制,扩频时钟技术轻微抖动系统的时钟频率使频谱扩展到一定宽度的频带上. 实际上,扩频时钟没有减少各次谐波的总能量,它只是把原来非常集中的能量均匀分散到一定宽度的频带上. 扩频时钟产生器(Spread-spectrum Clock Generator, SSCG)有

多种实现方式,大部分是基于锁相环(Phase-locked Loop, PLL). 常见的基于锁相环的扩频时钟发生器包括以下几类:直接调制锁相环的输入参考频率;直接调制压控振荡器(Voltage-controlled Oscillator, VCO)的控制电压;采用 $\Delta\Sigma$ 调制器调制分频器的分频比^[2,3]. 其中,调制分频比的方法最常用. 然而, $\Delta\Sigma$ 调制器的量化噪声会恶化输出时钟的相位噪声. 所以,有些扩频时钟产生器采用多相 VCO 和相位插值(Phase Interpolation, PI)减少分频器的相位步长,以此来降低抖动,此时的分频器称作小数分频器,不过这会增加设计复杂度、面积和功耗.

本文设计了一款适用于高速串行接口的中心频率为 10 GHz 的扩频时钟发生器. 本文的 SSCG 采用基于锁相环的 $\Delta\Sigma$ 调制分频比的结构,实现了较大的峰值降落和较好的相位噪声,满足协议的要求.

2 系统设计

图 1 为扩频时钟的频率和频谱的示意图. 图 1 (a)表明扩频后输出信号的频率为三角波,三角波调制的频率为 30 kHz,频率偏差为 $5\,000 \times 10^{-6}$. 图 1 (b)分别表示扩频和不扩频的频谱图. 扩频之后能量不是集中在某个频点,而是均匀分布在一定宽度的频带上.

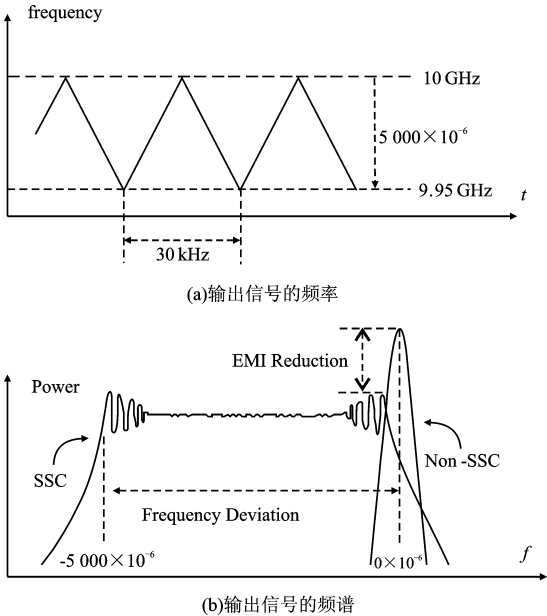


图 1 扩频时钟输出信号的频率与输出信号的频谱

峰值降落是一个非常关键的指标,它指的是未扩频的时钟信号的幅度与扩频后的信号幅度的比值^[1],用符号 A_{dB} 表示. 为了降低系统时钟的电磁干扰对周围电路的影响,我们希望 A_{dB} 越大越好. 峰值

降落和以下因素有关:调制频率 f_m ,时钟的频率偏差 δ ,调制波形和时钟基频 f_0 ^[4]. 其中最关键的因素是调制波形的选择与产生.

当调制频率低于频谱分析仪的分辨带宽(Resolution Bandwidth, RBW)时,最优的调制波形是一种称为“Hershey-kiss”的非线性曲线^[1,5]. 而且,当调制频率接近分辨带宽时,峰值降落会进一步增大. 如图 2(a)所示,当采用 Hershey-Kiss 调制时,信号能量均匀地分布在一定频带上,扩频效果很好. 图 2(b)是三角波调制,此时频带两端有一些峰值,无法达到最大的峰值降落. Hershey-kiss 曲线的实现比较复杂,需要查找表、SRAM 或者 $\Delta\Sigma$ 调制器^[5],带来较大的面积和功耗. 相比之下,三角波调制波形用计数器就能实现,非常简单. 不过三角波在峰值降落上,没有“Hershey-kiss”调制波形效率高. 为了降低功耗和面积,我们稍微牺牲一些峰值降落,采用三角波调制.

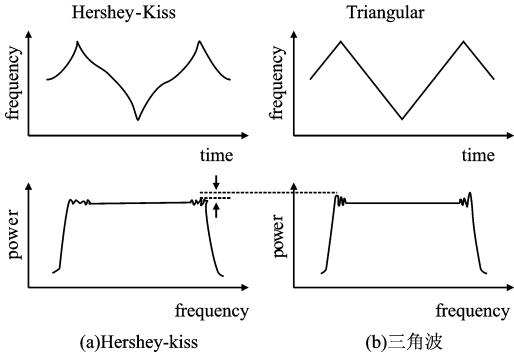


图 2 调制波形 Hershey-Kiss 与三角波

当调制波形采用三角波时, A_{dB} 可以近似表示为^[4]

$$A_{dB} \approx 10 \lg \left(\frac{\partial n f_0}{f_m} \right) \tag{1}$$

式中, n 表示第 n 次谐波.

由式(1)可知为了实现最大的峰值降落,需要增加频率偏差 δ ,降低调制频率 f_m . 然而,大部分高速串行接口的协议都要求频率偏差 δ 为 $5\,000 \times 10^{-6}$,调制频率 f_m 为 30~33 kHz. 所以无法靠调节 δ 和 f_m 来增加峰值降落,主要还是依赖调制波形的选择.

图 3 是本设计采用的 SSCG 结构图,它基于传统的小数分频锁相环. 整个架构主要包括鉴频鉴相器(Phase-frequency Detector, PFD),电荷泵(Charge Pump, CP),3 阶的环路滤波器(Loop Filter, LF),压控振荡器(Voltage-controlled Oscillator, VCO),预分频器,多模分频器(Multi-modulus Divider, MMD),MASH 1-1-1 $\Delta\Sigma$ 调制器,三角波发生器.

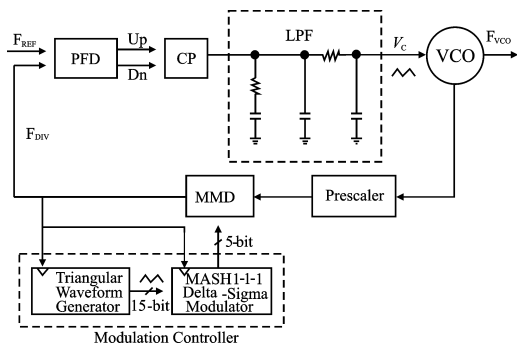


图3 SSGC 结构图

在分频后的时钟信号的作用下,三角波发生器产生三角波形作为调制信号,调制频率为 30.525 kHz,主要通过计数器实现。MASH 1-1-1 $\Delta\Sigma$ 调制器在调制波形的驱动下,产生被调制的分频比控制多模分频器。所以,SSCG 能够实现扩频,VCO 的输出信号 F_{VCO} 被三角波频率调制,频率偏差为下扩频 $5\,000 \times 10^{-6}$ 。

由于采用了 $\Delta\Sigma$ 调制器,所以会引入量化噪声,恶化输出时钟的抖动特性。然而 $\Delta\Sigma$ 调制器具有噪声整形特性,能将量化噪声推向高频,从而被整个环路的低通特性滤除掉^[6]。 $\Delta\Sigma$ 会带来高频抖动,扩频时钟会引入低频抖动,为了在两者之间进行折中,需要仔细选择环路带宽^[6,7]。如果环路带宽太大, $\Delta\Sigma$ 量化噪声带来的抖动会增加。如果环路带宽太小,扩频调制波形会产生失真,类似于正弦曲线,不是理想的三角波,这会降低峰值降落,不能更好地抑制 EMI 的影响^[6,7]。为了保持理想的三角波调制,环路带宽通常选在调制频率 f_m 的 10 倍以上^[8]。本设计采用 3 阶 $\Delta\Sigma$ 调制器获得更好的噪声整形特性,同时环路带宽设在调制频率 f_m 的 7 倍,以便更好地滤除高频量化噪声。

3 电路设计

3.1 VCO 设计

由于工作频率很高,为了得到更好的相位噪声,采用 LC-VCO^[9],具体电路如图 4 所示。采用 NMOS 对管结构,尾电流源提供偏置电流,同时有滤波电路降低噪声,由 LDO 提供稳定的 1.2 V 的电源电压。LC 谐振腔存在寄生电阻,会消耗能量,需要 NMOS 对管提供负阻,弥补消耗的能量,维持谐振腔的振荡。VCO 谐振频率和电感电容的值有关,由于电感值很难调节,所以只能通过改变电容值来改变谐振频率。变容管(A-MOS)可以实现电压对频率的调节,不过频率调节范围比较小。为了实现宽频带,采用变容管和电容阵列结合的方法实现频率的调控。通过选择不同的电容阵列作负载实现粗调

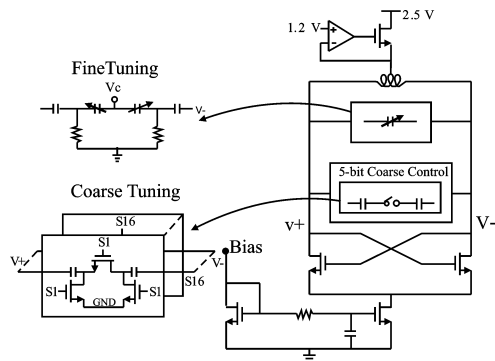


图4 VCO 电路图

节,之后再通过控制电压 V_c 调节变容管电容实现细调节,得到想要的频率。VCO 的压控增益为 180 MHz/V,频率范围为 9.25~10.75 GHz。

3.2 预分频器和多模分频器

由于 VCO 的输出时钟频率很高(10 GHz),所以需要利用高速 cml 分频器对其进行预分频,如图 5 所示。在时钟负半周期,晶体管 M5 导通,M1 和 M2 将输入信号 dp 和 dn 传至输出 qn 和 qp,起到采样信号的作用;在时钟正半周期,M6 导通,M3 和 M4 这对交叉耦合正反馈管保持住输出信号 qn 和 qp,起到锁存信号的作用。两个 cml 锁存器构成的 D 触发器可以组成 2 分频器。

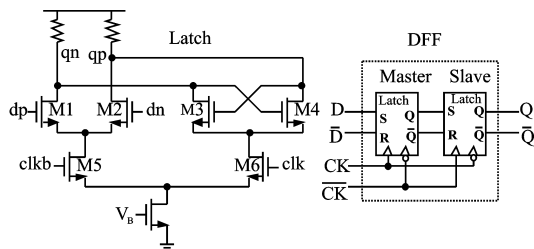


图5 cml 预分频器

VCO 输出信号经过预分频之后,需要通过多模分频器进一步降低频率之后才能送到 PFD 与参考时钟信号进行比较。扩频时钟的实现主要通过改变 MMD 的分频比。MMD 的结构如图 6 所示,它由 5 个 2/3 分频器级联而成,通过 $P_0 \sim P_4$ 来控制分频比。2/3 分频器由多个 D 触发器、与非门和非门构成。为了提高最高工作频率,降低功耗,这里采用基于 E-TSPC 技术的 D 触发器。E-TSPC 结构能将与非门和非门嵌入其中,进一步提高工作速度。

3.3 MASH 1-1-1

由于环路带宽的选择需要在三角波调制效果和高频量化噪声之间进行折中,为了将量化噪声整形到更高频率,本设计采用 3 阶 MASH 1-1-1 结构,相

比于单环高阶结构,它的稳定性更好,输入范围更大.图 7 是三角波发生器和 MASH 1-1-1 调制器的结构图,UP/DN 计数器在分频时钟的作用下产生三角波作为调制器的输入,MASH 1-1-1 由 3 级 1 阶的 $\Delta\Sigma$ 调制器级联而成,输出整数范围在 $[-3,4]$ 之间,用来控制多模分频器的分频比.

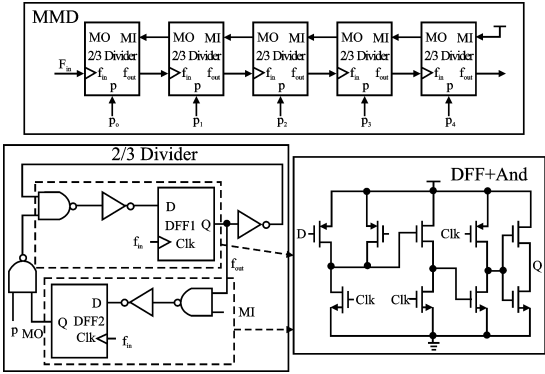


图 6 基于 E-TSPC 技术的多模分频器

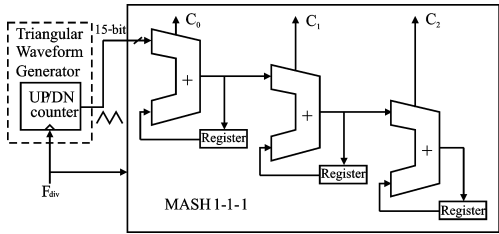


图 7 三角波发生器和 MASH 1-1-1 的结构图

3.4 鉴频鉴相器和电荷泵

图 8(a)为鉴频鉴相器的结构图,采用 TSPC 类型的 PFD,可以提高工作速度.图 8(b)为本设计采用的电荷泵的结构图.为了减小上拉电流和下拉电流的失配,尾电流采用 Cascode 结构.使用单位增益放大器箝位输出结点和镜像结点的电压,使得在一定的输出电压范围内,电荷泵的上下电流几乎完全相同,并且能够减小小电荷共享效应.另外,为了减小开关瞬间在控制电压上产生的毛刺,在开关管 MN3,MN4,MP3,MP4 的栅极和对应的镜像结点间添加小电容,主要是为了减弱时钟馈通效应和沟道电荷注入效应.

4 仿真结果

图 9 是 VCO 控制电压 V_{ctrl} 的后仿真波形图.刚开始扩频时钟功能没有开启,此时相当于一个整数分频锁相环, V_{ctrl} 保持恒定;之后,开启扩频时钟功能,经过一段时间调整,环路开始正常工作, V_{ctrl} 为理想的三角波,考虑到 VCO 的线性压控特性,此时的输出频率也是理想的三角波形式,调制效果很好.

图 10 分别是后仿真得到的开启扩频和没开启

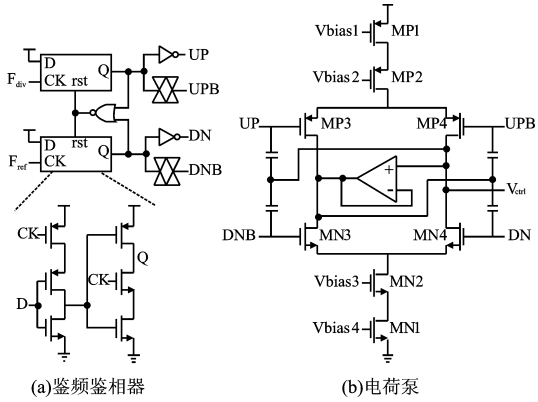


图 8 鉴频鉴相器与电荷泵

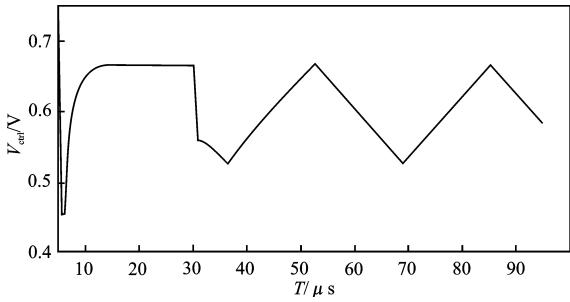


图 9 VCO 控制电压

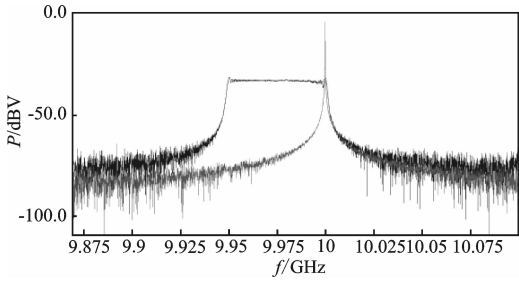


图 10 输出频谱

扩频时的输出信号频谱图.当没开启扩频时,能量集中在 10 GHz 这个频点,由于相位噪声的存在,两边呈裙摆状;当开启扩频时,能量平均分布在 9.95~10 GHz 范围内,满足下扩频 $5\,000\times10^{-6}$ 的设计目标,同时有较好的峰值降落(29.3 dB).

图 11 是仿真得到的总相位噪声及各个模块的相位噪声贡献图.从图 11 可知,带内噪声主要由电荷泵贡献;带外主要由 VCO 贡献.DSM 的量化噪声在高频处有较大突起,不过并没有恶化整体的相位噪声性能.由图 11 可知,在 1 MHz 频偏处,相位噪声为 -110 dBc/Hz ,噪声性能较好.

5 结束语

扩频时钟是一种有效的降低电磁干扰的方法,

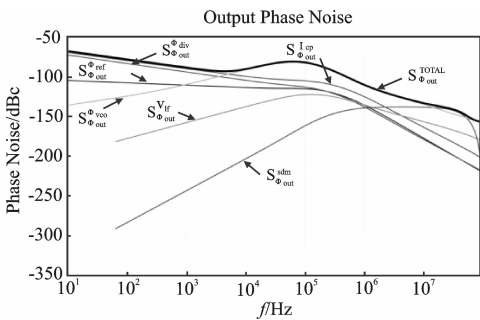


图 11 输出相位噪声

本文设计了一个 10 GHz 的扩频时钟发生器. 它基于传统的小数分频锁相环,通过 $\Delta\Sigma$ 调制器改变多模分频器的分频比来实现扩频功能. 峰值降落是一个非常重要的指标,它主要和调制波形有关. 通过选择三角波调制以及仔细优化环路带宽,得到了 29.3 dB 的峰值降落,可以有效降低 EMI. 频率偏差为下扩频 $5\,000\times10^{-6}$,调制频率为 30.525 kHz. 整个芯片的面积为 $470\,\mu\text{m}\times1\,450\,\mu\text{m}$,在 1.2 V 电源电压下总功耗为 20 mW. 在 1 MHz 频偏处,仿真得到的相位噪声为 $-110\,\text{dBc}/\text{Hz}$.

参考文献:

[1] Keith B Hardin, John T Fessler, Donald R Bush. Spread spectrum clock generation for the reduction of radiated emissions [C]// Proc IEEE Int Symp Electromagnetic Compatibility. [s. l.]: IEEE, 1994: 227-231.

[2] Hsiang-Hui Chang, I-Hui Hua, Shen-Iuan Liu. A spread-spectrum clock generator with triangular modulation [J]. IEEE J Solid-State Circuits, 2003, 38 (4): 673-676.

[3] Tsuyoshi Ebuchi, Yoshihide Komatsu, Tatsuo Okamoto, et al. A 125 - 1250 MHz process-independent adaptive bandwidth spread spectrum clock generator with digital controlled self-calibration [J]. IEEE J

Solid-State Circuits, 2009, 44(3):763-774.

[4] Jonghoon Kim, Dong Gun Kam, Pil Jung Jun, et al. Spread spectrum clock generator with delay cell array to reduce electromagnetic interference [J]. Proc IEEE Int Symp Electromagnetic Compatibility, 2005, 47 (4): 908-920.

[5] Yasushi Matsumoto, Katsumi Fujii, Akira Sugiura. An analytical method for determining the optimal modulating waveform for dithered clock generation [J]. Proc IEEE Int Symp Electromagnetic Compatibility, 2005, 47(3): 577-584.

[6] Chien-Heng Wong, Tai-Cheng Lee. A 6-GHz Self-Oscillating Spread-Spectrum Clock Generator [J]. IEEE Trans Circuits Syst I, 2013, 60(5): 1264-1273.

[7] Takashi Kawamoto, Masato Suzuki, Takayuki Noto. 1.9-ps jitter, 10.0-dBm-EMI reduction spread-spectrum clock generator with autocalibration VCO technique for serial-ATA application [J]. Symp VLSI Circuits Dig, 2014, 22(5): 1118-1126.

[8] I-Ting Lee, Shih-Han Ku, Shen-Iuan Liu. An all-digital spread-spectrum μm clock generator with self-calibrated bandwidth [J]. IEEE Trans Circuits Syst I, 2013, 60(11): 2813-2822.

[9] 王云峰,叶青,满家汉,等. 3.5GHz 锁相环的设计[J]. 微电子学与计算机,2009,26(6):43-46.

作者简介:

胡帅帅 男,(1990-),硕士研究生.研究方向为锁相环和高速串行接口电路设计. E-mail:hushuaishuai@ime.ac.cn.

周玉梅 女,(1962-),研究员,博士生导师.研究方向为高性能低功耗专用集成电路设计、高性能低功耗混合信号电路设计.

张 锋 男,(1977-),副研究员,硕士生导师.研究方向为低功耗、低抖动时钟合成电路、低功耗高速接口、存储电路设计.

(上接第 62 页)

[5] Zhou W, Wang Z, Zhou Y, et al: Divilar: Diversifying intermediate language for anti-repackaging on android platform. [C]// Proceedings of the 4th ACM conference on Data and application security and privacy. Washington DC,USA:ACM. 2014: 199-210.

[6] J. Freke, Smali, An Assembler/Disassembler for Android's dex Format [EB/OL]. [2016-01-20]. <https://github.com/JesusFreke/smali>.

[7] Obfuscator-llvm. Obfuscator[EB/OL]. [2016-01-20].

<https://github.com/obfuscator-llvm/obfuscator/tree/llvm-3.6.1>.

[8] 张译恬,王纯. 基于安卓系统 JNI 机制的 SO 库加固方案设计[J]. 电信技术, 2014,60(10): 90-93.

作者简介:

刘惠明 男,(1991-),硕士研究生.研究方向为安卓. E-mail:liuhm09@gmail.com.

诸葛建伟 男,(1980-),博士,副研究员.研究方向为系统安全.